

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-008351

(43)Date of publication of application : 10.01.2003

(51)Int.Cl.

H03B 5/32
H01L 21/822
H01L 21/8234
H01L 21/8238
H01L 27/04
H01L 27/06
H01L 27/092
H03K 3/02

(21)Application number : 2001-184800

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 19.06.2001

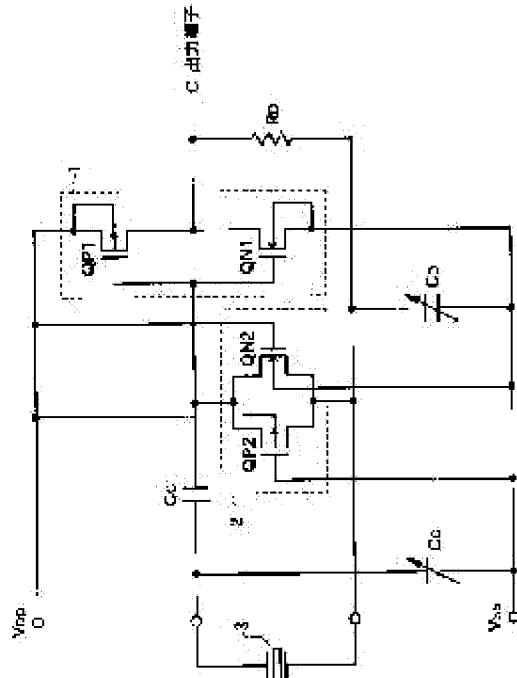
(72)Inventor : MAKIUCHI YOSHIKI

(54) OSCILLATION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To realize consumption power reduction and miniaturization, in an oscillation circuit including transistors of MOS structure, capacitors, or impedance elements.

SOLUTION: The oscillation circuit is provided with (a) a semiconductor substrate; (b) a capacitor CG or CD which is a capacitor for adjusting an oscillation frequency of the oscillation circuit, and has an impurity diffused region formed in a semiconductor substrate, an insulating film formed on the impurity diffused region, and electrodes formed on the insulating film; and (c) an inversion circuit 1 which feeds back an output signal to an input via at least an oscillation element, and includes MOS transistors QP1 and QN1. The transistor has a couple of impurity diffused regions formed in the semiconductor substrate, a gate insulating film which is formed on the substrate and thicker than an insulating film of the capacitor, and a gate electrode formed on the gate insulating film.



【特許請求の範囲】

【請求項1】 発振子が接続されて発振を行う発振回路であって、

半導体基板と、

前記発振回路の発振周波数を調節するためのコンデンサであって、前記半導体基板内に形成された不純物拡散領域と、前記不純物拡散領域上に形成された絶縁膜と、前記絶縁膜上に形成された電極とを有する前記コンデンサと、

前記発振子を少なくとも介して出力信号が入力に帰還される反転回路であって、前記半導体基板内に形成された1組の不純物拡散領域と、前記半導体基板上に形成されたゲート絶縁膜であって前記コンデンサの絶縁膜よりも厚い前記ゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを有するMOSトランジスタを含む前記反転回路と、を具備する発振回路。

【請求項2】 前記反転回路の入力と一方の電源電位との間にスイッチ手段を介して前記コンデンサが複数接続されていることを特徴とする請求項1記載の発振回路。

【請求項3】 前記反転回路の出力と一方の電源電位との間にスイッチ手段を介して前記コンデンサが複数接続されていることを特徴とする請求項1記載の発振回路。

【請求項4】 前記反転回路が、PチャネルMOSトランジスタとNチャネルMOSトランジスタとを含むことを特徴とする請求項1～3のいずれか1項記載の発振回路。

【請求項5】 前記反転回路の入力にバイアス電位を供給するインピーダンス素子であって、前記半導体基板内に形成された1組の不純物拡散領域と、前記半導体基板上に形成されたゲート絶縁膜であって前記コンデンサの絶縁膜よりも厚い前記ゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを有するMOSトランジスタを含む前記インピーダンス素子をさらに具備する請求項1～4のいずれか1項記載の発振回路。

【請求項6】 前記インピーダンス素子が、PチャネルMOSトランジスタとNチャネルMOSトランジスタとを含むことを特徴とする請求項5記載の発振回路。

【請求項7】 前記インピーダンス素子が、前記反転回路の入出力間に接続されていることを特徴とする請求項5又は6記載の発振回路。

【請求項8】 前記発振子を内蔵していることを特徴とする請求項1～7のいずれか1項記載の発振回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、水晶発振子等の発振子を用いた発振回路に関し、特に、MOS構造のトランジスタ、コンデンサ、又はインピーダンス素子を含む発振回路に関する。

【0002】

【従来の技術】 一般的に、水晶発振子等の発振子を用い

た発振回路は、構成部品が少なく精度が高いので、腕時計等の小型の装置に広く用いられる。そのような用途においては、発振回路の低消費電力化及び小型化が強く求められている。消費電力を低減するためには、発振回路を構成する反転回路に含まれるトランジスタの電流供給能力を減少させたり、反転回路の入出力間に接続されているインピーダンス素子の抵抗値を大きくする必要がある。

【0003】 図7に、従来の発振回路の構成を示す。図10 7に示すように、この発振回路は、MOSトランジスタQ P 1 1及びQ N 1 1によって構成された反転回路1 1と、MOSトランジスタQ P 1 2及びQ N 1 2によって構成され、反転回路1 1の入出力間に接続されたバイアス電位供給用のインピーダンス素子1 2と、反転回路1 1の入力と接地電位との間に接続されたコンデンサC_gと、反転回路1 1の出力と接地電位との間に接続されたコンデンサC_dとを含んでいる。これらの素子は、半導体基板に形成されている。また、水晶発振子1 3が、反転回路1 1の入出力間に接続される。

【0004】 半導体基板において、コンデンサC_g及びC_dの絶縁膜と、反転回路1 1のトランジスタQ P 1 1及びQ N 1 1のゲート絶縁膜と、インピーダンス素子1 2のトランジスタQ P 1 2及びQ N 1 2のゲート絶縁膜とは、全て同一の厚さで形成されている。

【0005】 このような従来の発振回路においては、MOSトランジスタのチャネル幅Wとチャネル長Lとの比であるW/Lを小さくすることで、反転回路1 1のトランジスタの電流供給能力を低くし、インピーダンス素子1 2のトランジスタのオン抵抗値を大きくして、低消費電力を実現していた。

【0006】

【発明が解決しようとする課題】 しかしながら、MOSトランジスタのチャネル幅Wについては一定の値を確保する必要があるので、必然的にチャネル長Lを大きくしなければならず、その結果、MOSトランジスタのサイズが大きくなり、チップ面積も大きくなってしまうという問題があった。

【0007】 そこで、上記の点に鑑み、本発明は、MOS構造のトランジスタ、コンデンサ、又はインピーダンス素子を含む発振回路において、低消費電力化及び小型化を実現することを目的とする。

【0008】

【課題を解決するための手段】 以上の課題を解決するため、本発明に係る半導体装置は、発振子が接続されて発振を行う発振回路であって、(a) 半導体基板と、(b) 発振回路の発振周波数を調節するためのコンデンサであって、半導体基板内に形成された不純物拡散領域と、不純物拡散領域上に形成された絶縁膜と、絶縁膜上に形成された電極とを有するコンデンサと、(c) 発振子を少なくとも介して出力信号が入力に帰還される反転

回路であって、半導体基板内に形成された1組の不純物拡散領域と、半導体基板上に形成されたゲート絶縁膜であってコンデンサの絶縁膜よりも厚いゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極とを有するMOSトランジスタを含む反転回路とを具備する。

【0009】ここで、反転回路の入力と一方の電源電位との間にスイッチ手段を介してコンデンサが複数接続されても良いし、反転回路の出力と一方の電源電位との間にスイッチ手段を介してコンデンサが複数接続されても良い。また、反転回路が、PチャネルMOSトランジスタとNチャネルMOSトランジスタとを含むようにしても良い。

【0010】本発明に係る半導体装置は、反転回路の入力にバイアス電位を供給するインピーダンス素子であって、半導体基板内に形成された1組の不純物拡散領域と、半導体基板上に形成されたゲート絶縁膜であってコンデンサの絶縁膜よりも厚いゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極とを有するMOSトランジスタを含むインピーダンス素子をさらに具備するようにしても良い。このインピーダンス素子は、PチャネルMOSトランジスタとNチャネルMOSトランジスタとを含んでも良いし、反転回路の入出力間に接続されても良い。さらに、本発明に係る半導体装置は、発振子を内蔵するようにしても良い。

【0011】

【発明の実施の形態】以下、図面に基づいて本発明の実施の形態について説明する。図1は、本発明の一実施形態に係る発振回路の構成を示す回路図である。本実施形態においては、発振子として水晶発振子を用いている。

【0012】図1に示すように、本実施形態に係る発振回路は、MOSトランジスタQP1及びQN1によって構成された反転回路1と、MOSトランジスタQP2及びQN2によって構成され、反転回路1の入出力間に接続されたバイアス電位供給用のインピーダンス素子2と、反転回路1の入力と一方の電源電位（本実施形態においては接地電位である低電位側の電源電位V_{SS}）との間に接続されたコンデンサC_Gと、反転回路1の出力と電源電位V_{SS}との間に接続されたコンデンサC_Dとを含んでいる。さらに、本実施形態に係る発振回路は、直流カット用のカップリングコンデンサC_Cを含むようにしても良い。なお、抵抗R_Dは、反転回路1を構成するトランジスタのドレイン抵抗である。以上の素子は、IC等の半導体基板に形成されている。

【0013】さらに、水晶発振子3が、反転回路1の入出力間に接続される。一般的に、水晶発振子は、IC等の回路に外付けされる。本願において、発振回路とは、IC等の回路に水晶発振子が接続された構成をいうのは勿論のこと、水晶発振子が接続されていないIC等の回路単体をも意味している。

【0014】次に、本実施形態に係る発振回路の動作に

ついて説明する。反転回路1の出力信号は、水晶発振子等により所定の位相回転を与えられて反転回路1の入力に帰還され、これにより発振動作が行われる。また、反転回路3の入力と電源電位V_{SS}との間にはコンデンサC_Gが接続され、反転回路3の出力と電源電位V_{SS}との間にはコンデンサC_Dが接続されている。ここで、コンデンサC_GとコンデンサC_Dとの内の少なくとも一方の容量を変化させることにより、発振周波数の調整が行われる。本実施形態においては、コンデンサC_G及びC_Dの両方を可変コンデンサとしている。

【0015】ここで、可変コンデンサC_G及びC_Dは、連続的に容量値を変化できるものでなくとも、複数の容量値をとることができるものであれば良い。図2に、そのような可変コンデンサの構成例を示す。図2の（a）に示す可変コンデンサは、図2の（b）に示すような回路によって実現することができる。

【0016】図2の（b）において、スイッチング用のトランジスタQ1～Q3には、コンデンサC1～C3がそれぞれ直列に接続されている。ここでは、例として、20 3つの直列回路を示している。これらの直列回路が並列に接続されて、図2の（a）に示す可変コンデンサに相当する。トランジスタQ1～Q3のそれぞれのゲートG1～G3のいずれかに、ハイレベル又はローレベルの制御信号を印加してトランジスタをオン状態にすることにより、そのトランジスタに直列に接続されているコンデンサの容量が有効となる。この回路によれば、3つの制御信号を用いることにより、最大限2³通りの容量値を作り出すことが可能である。

【0017】次に、反転回路1及びインピーダンス素子2を構成するMOSトランジスタの特性について説明する。MOSトランジスタが飽和動作する場合には、トランジスタの形状とドレイン電流I_Dとの間の関係は、次式で表される。

【数1】

$$I_D = \frac{1}{2} \beta \frac{W}{L} (V_{GS} - V_{TH})^2 \quad \dots (1)$$

一方、MOSトランジスタが非飽和動作する場合には、トランジスタの形状とドレイン電流I_Dとの間の関係は、次式で表される。

【数2】

$$I_D = \beta \frac{W}{L} \left\{ (V_{GS} - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2} \right\} \quad \dots (2)$$

以上において、 β はトランジスタの利得係数、Wはトランジスタのチャネル幅、Lはトランジスタのチャネル長、V_{GS}はゲート・ソース間電圧、V_{TH}はしきい電圧、V_{DS}はドレイン・ソース間電圧を表している。

【0018】また、NチャネルMOSトランジスタの利得係数 β_N は、次式で表される。

$$\beta_N = \mu_N \cdot C_N \quad \dots (3)$$

一方、PチャネルMOSトランジスタの利得係数 β は、次式で表される。

$$\beta_P = \mu_P \cdot C_P \quad \dots \quad (4)$$

以上において、 μ_N は電子易動度、 μ_P は正孔易動度、 C_N はNチャネルトランジスタの単位面積当たりのゲート絶縁膜の容量、 C_P はPチャネルトランジスタの単位面積当たりのゲート絶縁膜の容量を表している。

【0019】従来は、MOSトランジスタのチャネル長Lを大きくすることにより、ドレン電流 I_D を小さくしていた。その場合には、トランジスタのサイズが大きくなってしまう。これに対し、本発明によれば、MOSトランジスタのゲート絶縁膜を厚くすることにより、ゲート絶縁膜の容量 C_N 及び C_P を小さくする。その結果、(3)式と(4)式によって利得係数 β_N と β_P の値が小さくなり、(1)式と(2)式によってドレン電流 I_D が小さくなる。

【0020】本発明においては、コンデンサ C_G 及び C_D の絶縁膜は、従来と同様に薄く形成する。一方、反転回路1を構成するMOSトランジスタのゲート絶縁膜と、インピーダンス素子2を構成するMOSトランジスタのゲート絶縁膜との内に少なくとも一方を、コンデンサ C_G 及び C_D の絶縁膜よりも厚くする。反転回路1を構成するトランジスタQ P 1及びQ N 1のゲート絶縁膜を厚くすると、トランジスタQ P 1及びQ N 1の電流供給能力が減少する。また、インピーダンス素子2を構成するトランジスタQ P 2及びQ N 2のゲート絶縁膜を厚くすると、トランジスタQ P 2及びQ N 2のオン抵抗値が増大する。これにより、発振回路の消費電力を低減させることができる。あるいは、ゲート絶縁膜を厚くすると共にトランジスタのチャネル長Lを小さくして、トランジスタサイズを小型化することも可能である。

【0021】次に、本実施形態に係る発振回路に用いられるコンデンサと、反転回路を構成するトランジスタの構造について説明する。図3に、可変コンデンサ C_G 又は C_D の断面を示し、図4に、反転回路を構成するトランジスタQ P 1及びQ N 1の断面を示す。

【0022】図3において、P型のシリコン基板3 1内に、N型の不純物拡散領域3 2が形成されている。この不純物拡散領域3 2上にコンデンサの絶縁膜3 3(本実施形態においてはシリコン酸化膜)が形成され、さらに、絶縁膜3 3上に電極3 4(本実施形態においてはポリシリコン)が形成されている。ここで、コンデンサの絶縁膜3 3の厚さを $T_{OX} 1$ とする。

【0023】図4において、P型のシリコン基板4 1内にN型のウエル4 2が形成され、さらに、N型のウエル4 2内に、トランジスタQ P 1のソース・ドレンとなる1組のP型の不純物拡散領域4 3が形成されている。1組のP型の不純物拡散領域4 3に挟まれた半導体基板上にはゲート絶縁膜4 5(本実施形態においてはシリコン酸化膜)が形成され、さらに、ゲート絶縁膜4 5上に

ゲート電極4 6(本実施形態においてはポリシリコン)が形成されている。

【0024】また、P型のシリコン基板4 1内に、トランジスタQ N 1のソース・ドレンとなる1組のN型の不純物拡散領域4 4が形成されている。1組のN型の不純物拡散領域4 4に挟まれた半導体基板上にはゲート絶縁膜4 5が形成され、さらに、ゲート絶縁膜4 5上にゲート電極4 6が形成されている。

【0025】本実施形態においては、反転回路を構成するトランジスタのゲート絶縁膜を、コンデンサの絶縁膜よりも厚くする。即ち、ゲート絶縁膜4 5の厚さを $T_{OX} 2$ とすると、 $T_{OX} 2 > T_{OX} 1$ の関係が成り立っている。望ましくは、 $T_{OX} 2 \geq 2 \cdot T_{OX} 1$ とする。

【0026】次に、インピーダンス素子を構成するトランジスタの構造について説明する。図5に、インピーダンス素子を構成するQ P 2及びQ N 2の断面を示し、図6に、インピーダンス素子を構成するトランジスタの平面を示す。

【0027】図5の(a)において、シリコン基板5 1内にN型のウエル5 2が形成され、さらに、N型のウエル5 2内にソース・ドレンとなる1組のP型の不純物拡散領域5 3が形成されている(片方のみ図示)。1組のP型の不純物拡散領域5 3に挟まれたN型のウエルは、チャネル領域5 4となる。半導体基板上にはゲート絶縁膜5 5(本実施形態においてはシリコン酸化膜)が形成され、さらに、ゲート絶縁膜5 5上にゲート電極5 6(本実施形態においてはポリシリコン)が形成されている。

【0028】また、図5の(b)において、シリコン基板5 1内にP型のウエル5 7が形成され、さらに、P型のウエル5 7内にソース・ドレンとなる1組のN型の不純物拡散領域5 8が形成されている(片方のみ図示)。1組のN型の不純物拡散領域5 8に挟まれたP型のウエルは、チャネル領域5 9となる。半導体基板上にはゲート絶縁膜5 5が形成され、さらに、ゲート絶縁膜5 5上にゲート電極5 6が形成されている。

【0029】本実施形態においては、インピーダンス素子を構成するトランジスタのゲート絶縁膜を、コンデンサの絶縁膜よりも厚くする。即ち、ゲート絶縁膜5 5の厚さを $T_{OX} 3$ とすると、 $T_{OX} 3 > T_{OX} 1$ の関係が成り立っている。望ましくは、 $T_{OX} 3 \geq 2 \cdot T_{OX} 1$ とする。

【0030】図6に示すように、チャネル領域5 4、5 9は、ソース(S)とドレン(D)との間を、L字型のパターンを繰り返しながら曲がりくねって形成される。さらに、チャネル領域5 4、5 9を覆うように、ゲート絶縁膜及びゲート電極(G)が形成されている。このように、チャネル長Lを大きくしてW/Lの値を小さくすることにより、インピーダンス素子を構成するトランジスタのオン抵抗値を大きくする必要がある。本発明によれば、ゲート絶縁膜を厚くすることにより、トラン

ジスターのオン抵抗値を従来よりも大きくすることができる。あるいは、ゲート絶縁膜を厚くすると共にチャネル長Lを小さくすることにより、トランジスタサイズを従来よりも小型化することも可能である。

【0031】なお、以上の実施形態においては、発振回路に用いられる発振子が水晶発振子である場合について説明したが、本発明はこれに限定されず、セラミック発振子や、S A W (surface acoustic wave: 表面弾性波) 発振子を用いることができる。

【0032】

【発明の効果】以上述べたように、本発明によれば、MOS構造のトランジスタ、コンデンサ、又はインピーダンス素子を含む発振回路において、低消費電力化及び小型化を実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る発振回路の構成を示す回路図である。

【図2】本発明の一実施形態に係る発振回路に用いられる可変コンデンサの構成例を示す図である

【図3】本発明の一実施形態に係る発振回路に用いられるコンデンサの断面図である。

【図4】本発明の一実施形態に係る発振回路に用いられる反転回路を構成するトランジスタの断面図である。

【図5】本発明の一実施形態に係る発振回路に用いられるインピーダンス素子を構成するトランジスタの断面図である。

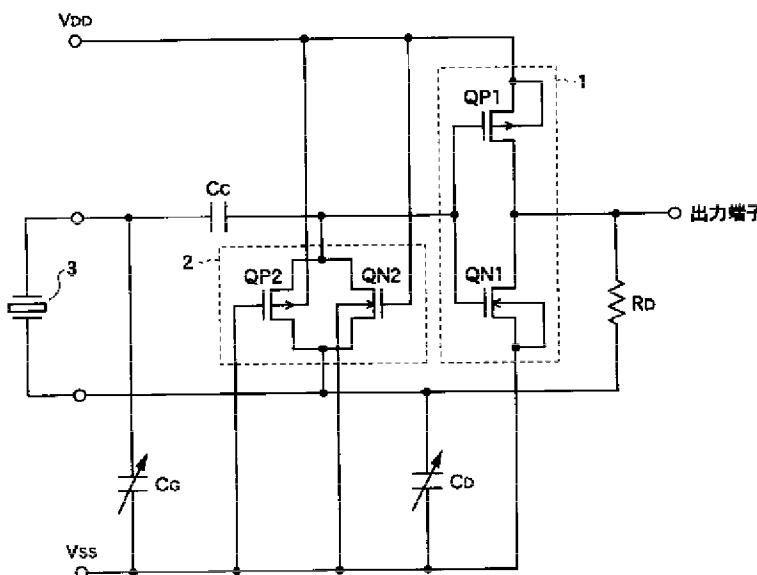
【図6】本発明の一実施形態に係る発振回路に用いられるインピーダンス素子を構成するトランジスタの平面図である。

【図7】従来の発振回路の構成を示す回路図である。

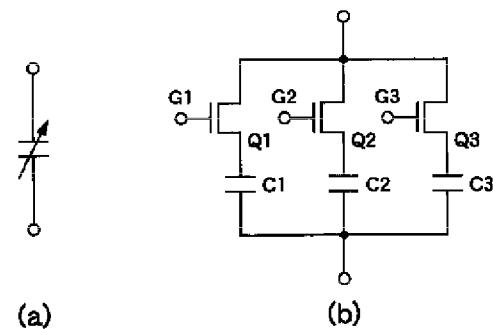
【符号の説明】

- 1、11 反転回路
- 2、12 インピーダンス素子
- 3、13 発振子
- 31、41、51 半導体基板
- 10 32、43、44、53、58 不純物拡散領域
- 33 絶縁膜
- 34 電極
- 42、52、57 ウエル
- 45、55 ゲート絶縁膜
- 46、56 ゲート電極
- 54、59 チャネル領域
- R_D 抵抗
- C_G 、 C_D 、 C_C コンデンサ
- Q P 1～Q P 12 PチャネルMOSトランジスタ
- 20 Q N 1～Q N 12 NチャネルMOSトランジスタ
- C 1～C 3 コンデンサ
- Q 1～Q 3 MOSトランジスタ
- G 1～G 3 ゲート
- S ソース
- D ドレイン
- G ゲート

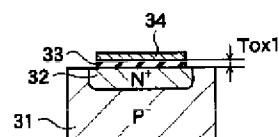
【図1】



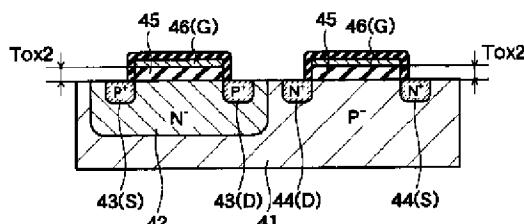
【図2】



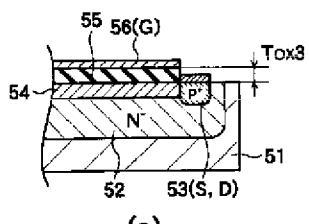
【図3】



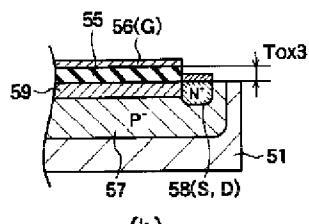
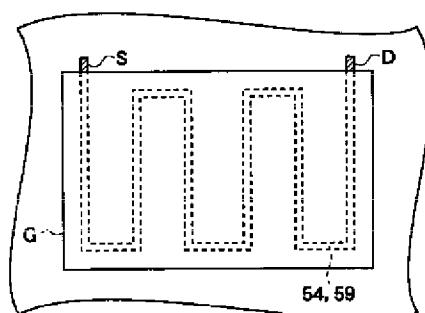
【図4】



【図5】

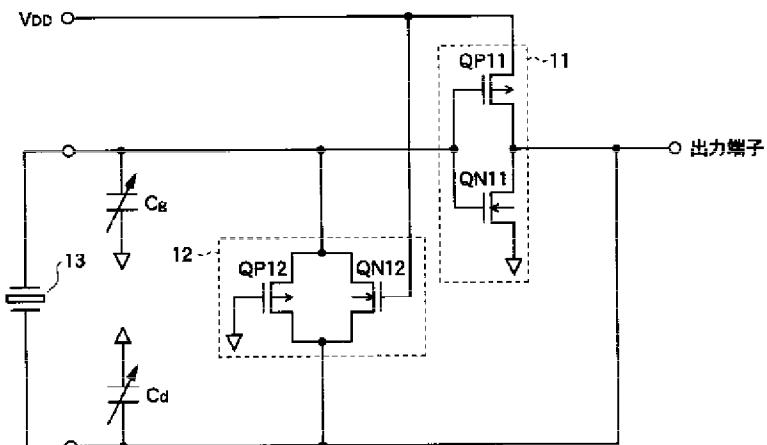


【図6】



(b)

【図7】



フロントページの続き

(51) Int. Cl. 7

H 01 L 27/04

27/06

27/092

H 03 K 3/02

識別記号

F I

H 01 L 27/08

テーマコード (参考)

3 2 1 D

Fターム(参考) 5F038 AC03 AC05 AC15 AV06 BG02
DF01 EZ20
5F048 AB04 AB10 AC03 AC10 BB03
BB16
5J043 AA03 AA05 BB01 DD02 DD07
DD13
5J079 AA04 BA43 BA44 DA12 FA05
FA06 FA14 FA15 FA18 FB03
FB06 GA04 GA09 HA24